

炭化ケイ素(SiC)素子の通電劣化特性の解明と高電圧ダイオードの試作

背景

パワーエレクトロニクス機器のさらなる低損失化・小型化を図るため、現用のシリコン系パワー半導体素子に比べ、大幅な高電圧化・低損失化が期待できる炭化ケイ素(SiC)パワー半導体素子の実用化が望まれている。半導体素子の基本構造であるpn構造を適用したSiC半導体素子(SiC pnダイオード)に電流を通電した際、順方向電圧(通電損失)が通電時間の経過とともに増加する通電劣化が確認され、実用化に向けての大きな課題となっている。また、半導体素子の高電圧化のためには、膜厚の厚い単結晶エピタキシャル膜が必要であるため、通電劣化の厚膜に及ぼす影響、および通電劣化の抑制手法を解明することは極めて重要である。

目的

SiCを用いたpn構造において生じる通電劣化の特性を明らかにするとともに、高電圧SiC pnダイオードを試作する。

主な成果

当研究所が開発した縦型ホットウォール式反応炉により、SiC基板上に形成させた単結晶エピタキシャル膜を用いてpn構造(pnダイオード)を形成し、通電劣化が高電圧化(厚膜化)に及ぼす影響を明らかにした。また、通電劣化抑制手法を基板の点から調査し、その結果を基に高電圧SiC pnダイオードを試作した(図-1)。

1. 厚膜に対する通電劣化特性

n型エピタキシャル膜の膜厚が厚いほど順方向電圧の増加量が大きくなることを定量的に明らかにし(図-2)、厚膜を必要とする高電圧SiC pnダイオードにおいて、通電劣化が大きな課題となることを明らかにした。

2. 通電劣化の抑制手法

基板面^{*1}および傾斜方向^{*2}の面からの通電劣化を調査し、C面基板の<11-20>方向傾斜における順方向電圧の増加量が、他の基板面や傾斜方向の基板に比べて小さいことを確認し(図-3)、通電劣化が抑制できる見通しを得た。

3. 高電圧SiC pnダイオードの試作

C面基板の<11-20>方向傾斜に対して、高電圧に必要な厚膜(～60 μm)・低ドーピング濃度(～ $6 \times 10^{13} \text{ cm}^{-3}$)のエピタキシャル膜を形成し、かつ電極端部の電界集中を緩和するための電界集中緩和層^{*3}を適用して、C面を用いたSiC半導体素子では世界最高の耐電圧4.6 kVを達成した(図-4)。

今後の展開

今回得られた成果を基に、通電劣化が小さく、かつ信頼性の高い高電圧・低損失SiC pnダイオード(耐電圧5 kV以上)を試作・実証し実用化に資する。なお、本研究は関西電力株式会社との共同研究として実施したものである。

主担当者 材料科学研究所 機能・機構発現領域 主任研究員 三柳 俊之

関連報告書 「高電圧炭化ケイ素(SiC) pnダイオードのプロセス技術の開発-通電劣化抑制手法の基礎検討と高電圧SiC pnダイオードの試作-」 電中研報告書: W03033 (2004年6月)

*1: SiCは化学的特性の異なるSi面とC面を有し、C面では高電圧化に必要な厚膜かつ低ドーピング濃度のエピタキシャル膜の形成が比較的困難なため、SiC半導体素子の試作には通常Si面を用いる。

*2: 基板と同一結晶型のエピタキシャル膜を得るために、結晶面を特定方向に微傾斜させた単結晶SiC基板を用いる。SiC半導体素子の試作には通常<11-20>方向に微傾斜させた基板が用いられる。

*3: イオン注入技術を用いて、n型エピタキシャル膜中に部分的にp型層を形成することにより、電界が広範囲に広がり、理論値に近い耐電圧が得られる。

B. 総合エネルギーサービスの創出

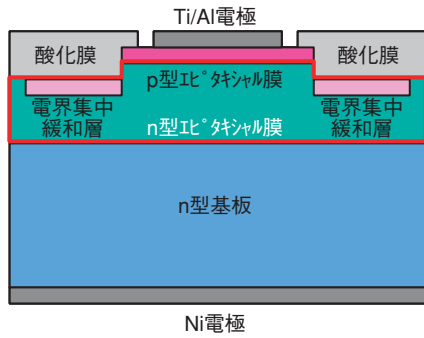


図-1 試作SiC pnダイオード

n型エピタキシャル膜は、ダイオードの順方向電圧や耐電圧を決定づける。

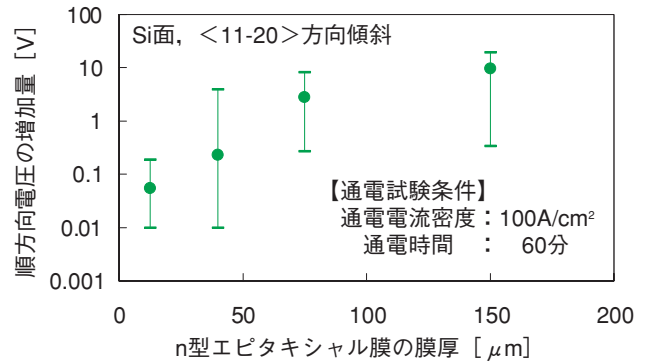


図-2 n型エピタキシャル膜の膜厚に対する通電劣化特性 (電極直径2.6 mm)

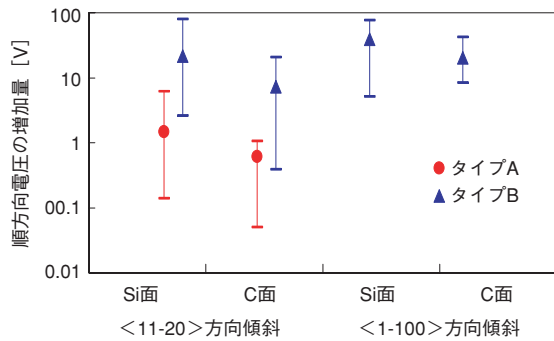
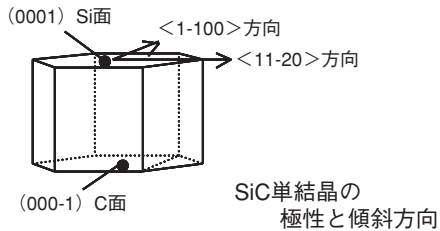


図-3 SiC基板の極性および傾斜方向に対する通電劣化特性 (膜厚40μm、電極直径2.6 mm、タイプAタイプBはSiC基板の製造元が異なる)

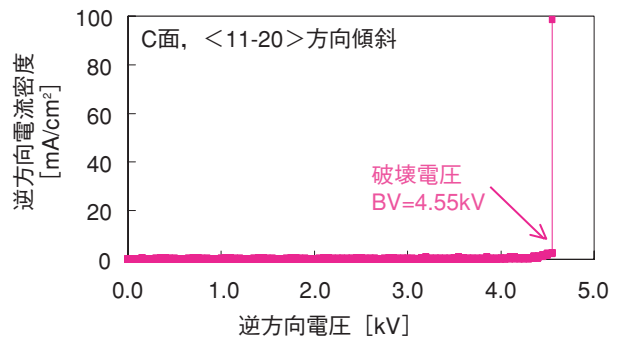


図-4 C面基板上に試作したSiC pnダイオードの逆方向電流電圧特性 (膜厚60μm、電極直径0.26 mm)