

SiC エピタキシャル単結晶膜の低欠陥化、大口径化技術の開発と 大面積パワーダイオードの原理実証

背景

SiC半導体を適用したパワーエレクトロニクス機器は、低損失化によるエネルギー損失の低減、高電圧化による小型化など、Si系半導体素子を適用した同機器に比較し、大幅な高性能化が期待できる。小面積のSiC半導体素子においては低損失性能が実証されているものの、その制御電力容量が十分ではなく、電力用途での実用化のためには高耐電圧化や大電流化（大面積化）が不可欠である。このため当研究所においては、高耐電圧化、大面積化を阻害する結晶欠陥の低減手法、高耐電圧ダイオード作成手法等を開発している*1。

目的

低欠陥SiCエピタキシャル成長技術*2を開発し、SiCパワーダイオードを試作することで素子大面積化の原理実証を行うとともに、電力・需要家用パワーエレクトロニクス機器に適用可能な大口径かつ厚膜のSiCエピタキシャル単結晶膜を得るためのプロトタイプ大口径SiC単結晶成長装置を開発する。

主な成果

1. 低欠陥SiCエピタキシャル成長技術の開発と大面積パワーダイオードの原理実証

- (1) 放射光（SPring-8）X線トポグラフィ観察により、エピタキシャル成長時における結晶欠陥（転位）の伝播と生成を詳細に調べた（図1）。その結果、(000-1) C面上へのエピタキシャル成長において、(i) 従来の(0001) Si面の場合に比べて、基板からエピタキシャル単結晶膜に伝播する基底面転位*3の密度を大幅に低減できること、(ii) 比較的高い原料C/Si比でエピタキシャル成長を行うことで、エピタキシャル成長時に新たに生成される基底面転位の密度を大幅に低減できることを初めて明らかにした（図2）*4。
- (2) エピタキシャル成長条件の適正化を通じて、素子の漏れ電流を著しく増加させる大型結晶欠陥（耐電圧キラー欠陥）の密度を 0.3cm^{-2} にまで低減することに成功した。この低欠陥エピタキシャル単結晶膜を用いてプロトタイプSiCパワーダイオードを試作し、 1cm^2 の大面積ショットキー接合電極において66%の高い歩留まり（低漏れ電流密度）を達成し、大電流ショットキーダイオード（100-200A級相当）の原理実証に成功した（図3）。

2. プロトタイプ大口径SiC単結晶成長装置の開発

プロトタイプ大口径SiC単結晶成長装置の開発を進め、3次元熱流体シミュレーションならびに結晶成長実験による結晶成長炉構造や成長条件の適正化によって、直径4インチ相当面積、平均成膜速度 $23\ \mu\text{m/h}$ において、実用レベルとなる膜厚均一性1.7%の高速・均一膜厚成長を達成した（図4）。

今後の展開

これまでに開発した低欠陥SiCエピタキシャル成長技術、高性能パワーダイオード形成技術の民生・産業用途での実用化を図るとともに、電力・需要用途の大電力SiC半導体素子に適用可能な大口径・高品位（低欠陥・高純度・厚膜）エピタキシャル成長技術の確立、大面積素子形成技術の開発を進める。

主担当者 材料科学研究所 機能・機構発現領域 上席研究員 土田 秀一

関連報告書 “Growth of thick 4H-SiC (000-1) epilayers and reduction of basal plane dislocations”: Japanese Journal of Applied Physics, Vol. 44, No. 25 (2005.6月), “Comparison of electrical characteristics of 4H-SiC (0001) and (000-1) Schottky barrier diodes”, Materials Science Forum (in printing)

*1：電中研研究報告「大容量SiCパワー半導体素子に向けたエピタキシャル結晶成長技術の開発」(W02018)
*2：基板となるSiC単結晶の上に、素子の動作領域となる高品質なSiC単結晶膜を新たに結晶成長する技術。
*3：SiC単結晶のc軸に直交する{0001}面内に存在する転位でSiC pnダイオードの劣化要因となる。
*4：関西電力(株)との共同研究により実施した。

B. 総合エネルギーサービスの創出

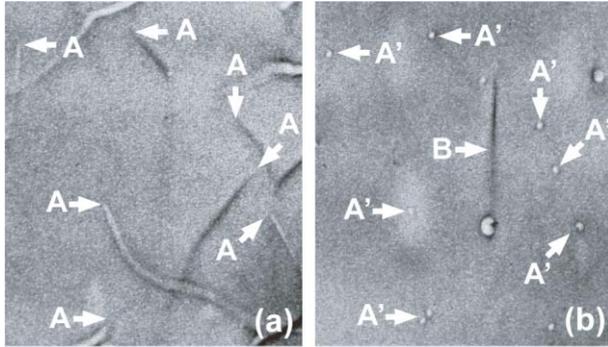


図1 エピタキシャル結晶成長前後における同一箇所に対する放射光X線トポグラフィ像

(a) はエピタキシャル成長前の基板表面層、(b) はエピタキシャル成長後の単結晶膜表面層に存在する転位像。エピタキシャル成長時に、A→A'の形で基板からエピタキシャル単結晶膜に転位が伝播するとともに、Bのように新たな欠陥(基底面転位)が生成されていることがわかる。

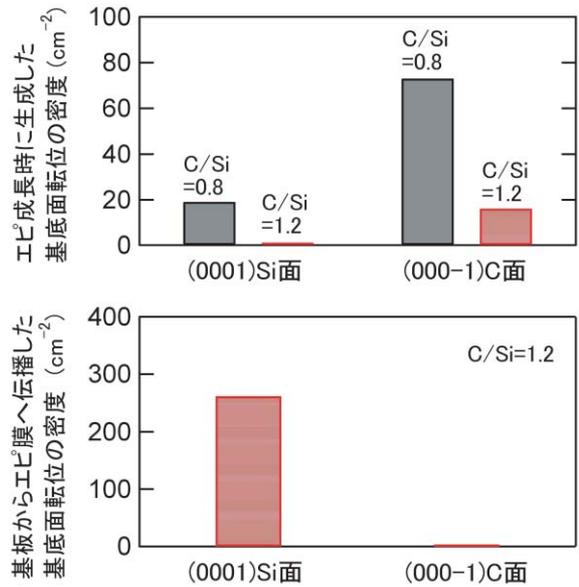


図2 エピタキシャル成長時における基底面転位の伝播・生成密度の解析結果

(000-1)C面の結晶面を適用すること、高いC/Si比(原料中に含まれるSiとCの比)でのエピタキシャル成長を行うことで、エピタキシャル単結晶膜中の基底面転位密度を低減できる。

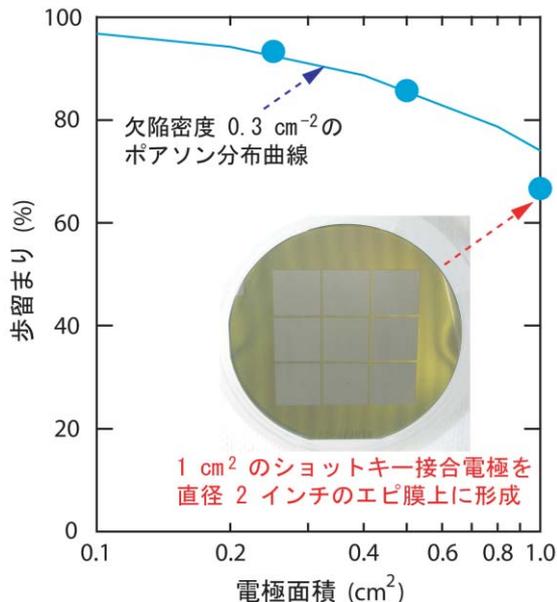


図3 0.25-1cm²のショットキー接合電極に対する歩留まり評価結果

直径2インチのエピタキシャル単結晶膜上に、Mo/SiCショットキー接合電極を形成し、逆方向電圧300V印加時の漏れ電流密度が 1×10^{-6} A/cm²以下の電極の歩留まりを求めた。

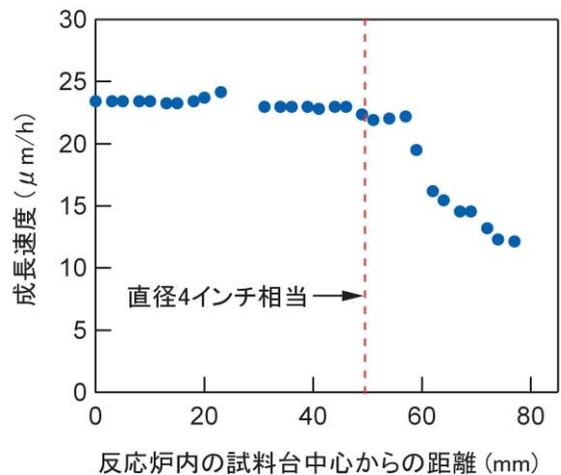


図4 プロトタイプ大口径SiC単結晶成長装置におけるエピタキシャル成長速度

実用レベルとなる直径4インチ相当面積において、高速かつ均一なエピタキシャル成長速度が得られている。